

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 9月28日

出 願 番 号

Application Number:

平成11年特許願第274440号

出 願 人

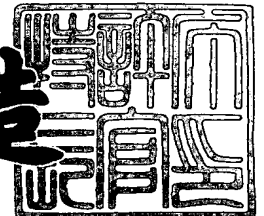
Applicant (s):

シャープ株式会社

2000年 7月28日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3060178

【書類名】 特許願

【整理番号】 99J01633

【提出日】 平成11年 9月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786

【発明の名称】 半導体装置

【請求項の数】 5

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 徳重 信明

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100065248

 【弁理士】

 【氏名又は名称】 野河 信太郎

 【電話番号】 06-6365-0718

【手数料の表示】

 【予納台帳番号】 014203

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9003084

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 支持基板上に第 1 の絶縁層及び第 1 の半導体層が形成され、さらに第 1 の半導体層上に第 2 の絶縁層及び第 2 の半導体層が形成された多層 S O I 基板の第 2 の半導体層に第 1 導電型チャンネル M O S トランジスタが形成され、該 M O S トランジスタの下方の第 1 の半導体層に第 2 導電型不純物領域が形成された半導体装置であって、該第 2 導電型不純物領域にバイアス電圧を印加するためのコンタクト部が形成されてなることを特徴とする半導体装置。

【請求項 2】 M O S トランジスタが P チャンネル型及び N チャンネル型 M O S トランジスタであり、それぞれの M O S トランジスタの下方に形成された N 型及び P 型不純物領域の不純物濃度が第 1 の半導体層の他の領域よりも高く、N 型及び P 型不純物領域が電氣的に分離されてなる請求項 1 に記載の半導体装置。

【請求項 3】 N 型及び P 型不純物領域が、絶縁層により電氣的に分離されてなる請求項 2 に記載の半導体装置。

【請求項 4】 絶縁層が、第 2 の半導体層から第 1 の絶縁層に貫通して形成された素子分離用絶縁層の一部である請求項 3 に記載の半導体装置。

【請求項 5】 M O S トランジスタにより構成される半導体回路の動作状態と待機状態において、それぞれ異なるバイアス電圧が第 1 の半導体層と第 2 の半導体層に別々に印加されることにより各 M O S トランジスタの閾値電圧が変化してなる請求項 1 ～ 4 のいずれか 1 つに記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は半導体装置に関する。さらに詳しくは、本発明は、スタンバイ時の消費電流が低減された S O I (Silicon-on-insulator) 型の半導体装置に関する。

【 0 0 0 2 】

【従来の技術及び発明が解決しようとする課題】

近年、大規模集積回路の集積度は急速な勢いで増加している。それに伴って、

MOS型集積回路に搭載されるMOSトランジスタのゲート長は、実用化レベルでは0.2ミクロン以下、研究レベルでは0.05ミクロンに達している。このような微細MOSトランジスタにおいて、高性能及び長期信頼性を実現するためには、様々な要素を考慮しながら構造の最適化を行わなければならない。

【0003】

MOS型集積回路においてさらに高い集積度を実現するためには、電流駆動能力などの基本性能が低下しないようにMOSトランジスタ全体を小型化しなければならない。このためにはゲート長を短縮する必要があるが、ゲート長の短縮と共に「短チャネル効果」と呼ばれる現象が起こる。

【0004】

短チャネル効果とは、ゲート長の短縮に伴って、トランジスタの閾値やソース・ドレイン間の耐電圧値が低下し、サブスレッショルド係数が増加する現象である。このような現象の発現を抑制して良好な特性のトランジスタを実現するには、一般にゲート長の短縮に併せてチャネル部の不純物濃度を増加させる必要がある。しかし、このような一般原則に基づいて作製された微細MOSトランジスタは、ドレインと基板の間に形成されるP-N接合の容量が増加してしまう。このために、寄生容量の充放電に要する時間が増加して回路動作速度が低下してしまう。

【0005】

トランジスタの微細化、すなわち構造の最適化はこれらの難問をバランス良く解決しながら実施されてきた。しかし、微細加工技術などの製造技術の問題、集積回路システムの設計及び複雑な回路設計技術の問題もあり、トランジスタをさらに微細化して集積度を向上することは、ますます困難になりつつある。

【0006】

上記の問題を解決する方法としては、SOI基板上にトランジスタを形成する方法がある。一般にSOI基板上に作製されるトランジスタは、その構造から「完全空乏化型」と「部分空乏化型」に分類される。

これらは、NMOS/SOIやPMOS/SOIのチャネル部のシリコン層に導入する不純物のドーズとこのシリコン層の厚さ、すなわち不純物濃度によって

決定される空乏層の最大幅（最大空乏層幅）とチャネル部のシリコン層の厚さの大小関係によって分類される。「完全空乏化型」はチャネル部のシリコン層の厚さよりも最大空乏層幅の方が大きいトランジスタであり、「部分空乏化型」はチャネル部のシリコン層の厚さよりも最大空乏層幅の方が小さいトランジスタである。

【0007】

他方、SOI基板を用いた集積回路を非常に低い電圧（例えば、1V以下）で動作させた場合には、スタンバイ時のリーク電流が大きくなり、かつスタンバイ時の消費電流が大きくなるという問題がある。

【0008】

上記の問題を解決する方法として、図5に示されるような4端子のボディコンタクトSOIが考えられる。これは、SOI基板の表面半導体層に形成されたウェルにコンタクトを取り、直接ウェルに電圧を印加する方法である。すなわち、表面半導体層に形成されたウェルを完全分離し、そのウェルのポテンシャルを、ウェルコンタクトに印加するバイアス電圧を制御することで閾値電圧をダイナミックに変化させようとするものである。

【0009】

しかしながら、図5に示した方法では、表面半導体層のPウェルから直接電位を与えるためのコンタクトをとる必要があり、必然的に表面半導体層を厚くする必要があり、チャネル領域は部分空乏化型になってしまう。また、薄い濃度のウェルから直接コンタクトをとるため、コンタクト部とトランジスタとの距離に関連して、ウェル抵抗が影響し、均一に基板電圧が印加されず、逆に閾値電圧がトランジスタ毎にばらついてしまうという問題が生じる。

【0010】

また、図6に示されるような、支持基板であるP型シリコン基板の表面に部分的に高濃度層を形成する方法が提案されている。これは、NMOSトランジスタのチャネルに対応する支持基板の表面に埋め込み酸化膜を介して高濃度P型領域を配置し、PMOSトランジスタの下方に埋め込み酸化膜を介してNウェルを配置すると共に、チャネルに対応する支持基板の表面に高濃度N型領域を設けたC

MOS回路である（特開平 8 - 3 2 0 4 0 号公報及びProceeding 1995 IEEE International SOI Conference 14p, Oct. 1995参照）。

【0011】

この方法によるSOI型半導体装置は、埋め込み酸化膜と支持基板であるシリコン基板との界面近傍に不純物濃度の高い領域を有し、かつNウェルが電源電圧に接続されている。このためにドレイン電圧の上昇によって形成されるシリコン基板側の空乏層が、チャネル領域下部にまで広がるのが抑制され、完全空乏化型SOIトランジスタの閾値電圧、チャネル移動度などのパラメータが安定化し、回路の動作速度を向上させることができる。

【0012】

しかしながら、図6に示した方法では、積極的にトランジスタの閾値電圧 V_{th} を制御するという技術的思想はない。また、このSOI型半導体装置のウェルは電源電圧に固定して接続されているので、Nウェルに電圧を印加しても閾値電圧 V_{th} を制御することができず、スタンバイ時のリーク及びそれに基づくスタンバイ時の消費電流を低減することは困難である。

【0013】

別の方法として、特開平 1 0 - 1 2 5 9 2 5 号公報に示されるような構造が提案されている。この構造は図7に示され、SOI構造トランジスタの支持基板であるシリコン基板や支持基板内に形成したウェルに所定の電位を与えることにより、ソース/ドレインとチャネル領域下部との寄生容量を低減して高速化を図っている。また、これらの半導体装置は、支持基板に与える電位を、多数のキャリアが表面シリコン層のボディ下部領域にアキュミュレーションするような電位にして、閾値電圧 V_{th} の制御及びフローティングボディ効果の抑制を図っている。

【0014】

図7に示した半導体装置は、トランジスタのタイプ（P型又はN型）に対応して、素子分離領域を貫通して支持基板まで横方向に絶縁膜で分離されている。これにより基板に印加する電圧の自由度は増すが、正の電圧、負の電圧あるいは正負の両電圧を支持基板裏面に直接印加して閾値電圧を制御することになり、実際的ではない。

【 0 0 1 5 】

また、図 8 に示されるように 2 層の S O I 層を用いて、閾値電圧を低く設定する構造も提案されている（特開平 1 0 - 1 2 5 9 2 5 号公報参照）。

図 8 に示した半導体装置は、基板裏面は絶縁膜で被覆されているものの閾値電圧を制御する手段がない。したがって、この半導体装置は単に基板バイアス効果を低減し、閾値電圧を安定化するのみであり、トランジスタのスタンバイ時のリーク電流を低減することができず、その結果としてスタンバイ時の消費電流を低減することができない。

【 0 0 1 6 】

本発明は上記課題に鑑みてなされたものであり、多層 S O I 基板に形成された MOS トランジスタにおいて、閾値電圧を動作時、もしくはスタンバイ時に応じて自由に変化させ、スタンバイ時のリーク及びそれに基づくスタンバイ時の消費電流を低減することができる半導体装置を提供することを目的とする。

【 0 0 1 7 】

【課題を解決するための手段】

本発明によれば、支持基板上に第 1 の絶縁層及び第 1 の半導体層が形成され、さらに第 1 の半導体層上に第 2 の絶縁層及び第 2 の半導体層が形成された多層 S O I 基板の第 2 の半導体層に第 1 導電型チャネル MOS トランジスタが形成され、該 MOS トランジスタの下方の第 1 の半導体層に第 2 導電型不純物領域が形成された半導体装置であって、該第 2 導電型不純物領域にバイアス電圧を印加するためのコンタクト部が形成されてなることを特徴とする半導体装置が提供される。

【 0 0 1 8 】

【発明の実施の形態】

本発明の半導体装置は、多層 S O I 基板上に MOS トランジスタが形成される。MOS トランジスタとしては、主として完全空乏化型のトランジスタからなる。

【 0 0 1 9 】

多層 S O I 基板は、支持基板上に第 1 の絶縁層及び第 1 の半導体層が形成され

、さらに第 1 の半導体層上に第 2 の絶縁層及び第 2 の半導体層が形成されてなる。

【0020】

支持基板としては、例えば、シリコン、ゲルマニウム等の半導体基板、GaAs、InGaAs 等の化合物半導体基板、サファイア、石英、ガラス、プラスチック等の絶縁性基板等、種々の基板を使用することができる。なかでも単結晶シリコン基板又は多結晶シリコン基板が好ましく、単結晶シリコン基板が特に好ましい。この単結晶シリコン基板は、P 型又は N 型の不純物のドーピングにより比較的抵抗（例えば $20\ \Omega\text{cm}$ 程度）であるものが好ましい。なかでも、P 型のものがより好ましい。また、その結晶面方位は (100) が好ましい。

【0021】

第 1 の絶縁層としては、例えば SiO_2 膜、 SiN 膜等が挙げられ、なかでも SiO_2 膜が好ましい。この膜厚は、得ようとする半導体装置の特性、得られた半導体装置を使用する際の印加電圧の高さ等を考慮して、適宜調整することができ、例えば $50\sim 1000\text{nm}$ 程度が挙げられ、 500nm 前後が適当である。

【0022】

また、第 2 の絶縁層としては、第 1 の絶縁層と同様の絶縁膜材料が挙げられる。この膜厚は、得ようとする半導体装置の特性、得られた半導体装置を使用する際の印加電圧の高さ等を考慮して、適宜調整することができ、例えば $50\sim 200\text{nm}$ 程度が挙げられ、 100nm 程度が適当である。

【0023】

第 1 及び第 2 の半導体層としては、シリコン、ゲルマニウム等の半導体層、GaAs、InGaAs 等の化合物半導体層等が挙げられるが、なかでも、シリコン半導体層が好ましい。その膜厚は $0.1\sim 1.0\ \mu\text{m}$ 程度が挙げられる。

【0024】

本発明の多層 SOI 基板は、支持基板、第 1 の絶縁層、第 1 の半導体層、第 2 の絶縁層、第 2 の半導体層が順次積層されたものであればどのような基板であってもよく、例えば、半導体基板に酸素をイオン注入して熱処理し、第 1 の絶縁層としての埋め込み酸化膜を半導体基板内に形成する SIMOX (Separation by

Implantation of Oxygen) 型基板、熱酸化により表面に酸化膜が形成された半導体基板を 2 枚貼り合わせた基板 (B E S O I 基板)、半導体基板上にエピタキシャル成長により第 1 の絶縁層及び第 1 の半導体層を形成した S O I 基板に、熱酸化又はエピタキシャル成長等により表面に酸化膜を形成した半導体基板を張り合わせて形成した、いわゆる張り合わせ型多層 S O I 基板、半導体基板に、エピタキシャル成長により第 1 の絶縁膜、第 1 の半導体層、第 2 の絶縁膜及び第 2 の半導体層を順次積層した多層 S O I 基板等が挙げられる。

【0025】

本発明の半導体装置は、上記の多層 S O I 基板の第 2 の半導体層に第 1 導電型チャネルの M O S トランジスタが形成され、その M O S トランジスタの下方の第 1 の半導体層に第 2 導電型不純物領域が形成されている。また、第 2 導電型不純物領域は、バイアス電圧を印加するためのコンタクト部と接続されている。

【0026】

第 1 導電型チャネルの M O S トランジスタは、N チャネル型 M O S トランジスタ又は P チャネル型 M O S トランジスタのいずれでもよく、また、N チャネル型 M O S トランジスタ及び P チャネル型 M O S トランジスタの双方であってもよい。なかでも、同じ第 1 の半導体層に N チャネル型 M O S トランジスタと P チャネル型 M O S トランジスタとが形成されているのが好ましい。

【0027】

M O S トランジスタの下方の第 1 の半導体層に形成された第 2 導電型不純物領域は、第 1 の半導体層の他の領域よりも不純物濃度が高く設定されている。ここで第 2 導電型不純物領域は、P 型の場合は、ボロン、アルミニウム、ガリウム、インジウム等、N 型の場合は、リン、砒素等の不純物を導入することにより形成することができる。不純物濃度は、バイアス電圧を印加することにより、その上方に形成される M O S トランジスタの閾値電圧を適切に制御することができる濃度であれば特に限定されるものではなく、半導体層や絶縁層への注入ダメージの観点から、例えば、 10^{17} cm^{-3} 程度以下が好ましく、 $10^{16} \text{ cm}^{-3} \sim 10^{17} \text{ cm}^{-3}$ 程度がより好ましい。第 2 導電型不純物領域の深さは、その上に形成される M O S トランジスタの態様、最終的に得られる半導体装置の特性等に応じて適宜

調整することができ、例えば、 $0.1 \sim 1.0 \mu\text{m}$ 程度が挙げられる。

【0028】

第2導電型不純物領域は、例えば、多層SOI基板の第2の半導体層に素子分離領域を形成する前又は形成した後に、公知の方法、例えば、フォトリソグラフィー及びエッチング工程により、第2導電型不純物領域を形成しようとする領域に開口を有するマスクを形成し、このマスクを用いてイオン注入する方法が挙げられる。

【0029】

なお、同じ第1の半導体層にNチャネル型及びPチャネル型の双方のMOSトランジスタが形成されている場合には、P型不純物領域とN型不純物領域とは電氣的に分離されていることが好ましい。例えば、P型不純物領域とN型不純物領域とが、第1の半導体層中で、電氣的に接続しない間隔で配置されていてもよいし、P型不純物領域とN型不純物領域との間に絶縁層が形成されることによって分離されていてもよい。なお、この絶縁層は、第2の半導体層に形成されたMOSトランジスタを分離するための素子分離用絶縁層が、第2の半導体層から第1の絶縁層に貫通して形成された素子分離用絶縁層の一部として形成されていてもよい。

【0030】

さらに、第2導電型不純物領域がコンタクト部と接続する場合のコンタクト抵抗を低減するために、第2導電型不純物領域表面に、第2導電型不純物領域の不純物濃度よりも高い濃度を有するウェルコンタクトが形成されていてもよい。ウェルコンタクトの不純物濃度は、例えば、P型の場合、 10^{18}cm^{-3} 程度以上、N型の場合、 10^{20}cm^{-3} 程度以上が好ましい。なお、ウェルコンタクトに不純物を導入する際のイオン注入のエネルギーは、第2の半導体層、第2の絶縁膜及び第1の半導体層等の膜厚等により適宜調整できるが、例えば、リンを用いる場合には、 $100 \sim 180 \text{keV}$ 程度、ボロンを用いる場合、 $80 \sim 150 \text{keV}$ 程度が挙げられる。

【0031】

本発明における第2導電型不純物領域にバイアス電圧を印加するためのコンタ

クト部は、例えば、次のようにして形成することができる。

まず、1) 支持基板上に第1の絶縁層、第1の半導体層、第2の絶縁層及び第2の半導体層が形成された多層SOI基板の第2の半導体層に素子分離領域を形成する。素子分離領域は、公知の方法、例えば、LOCOS法、トレンチ分離法等により形成することができる。素子分離領域の形成により、第2の半導体層に活性領域を形成することができ、MOSトランジスタの形成領域が規定される。なお、素子分離領域は、少なくとも第2の半導体層に形成されるものであれば、第2の絶縁層を貫通していてもよいし、第1の半導体層にまで達していてもよい。

【0032】

次いで、2) 第1の半導体層に達するトレンチを素子分離領域に形成する。トレンチを形成する方法としては、例えば、素子分離領域上に開口を有するレジストパターンを形成し、このレジストパターンをマスクとして用いて素子分離領域、半導体層及び絶縁層を順次エッチングすること方法が挙げられる。この場合のトレンチの大きさは、第2導電型不純物領域に所望のバイアス電圧を印加することができる大きさであれば特に限定されるものではない。なお、第1の半導体層にすでに第2導電型不純物領域が形成されている場合には、トレンチは、この不純物領域に達するように形成することが必要である。

【0033】

さらに、3) トレンチを含む第2の半導体層上全面に絶縁層を形成する。絶縁層を形成する絶縁膜としては、例えば SiO_2 、 SiN 又はこれらの積層膜等が挙げられる。膜厚は、トレンチを完全に埋設することができる程度であれば特に限定されるものではなく、例えば、1000～1500nm程度が挙げられる。これらの絶縁膜は、CVD法等の公知の方法で形成することができる。

【0034】

続いて、4) 絶縁膜をエッチバックする。エッチバックは、例えば、異方性エッチングにより行うことができる。これにより、第2の半導体層上及びトレンチ底部に存在していた絶縁膜を除去することができ、トレンチ底部の第1の半導体層を露出させることができるとともに、トレンチの側壁にはこの絶縁膜によるサ

イドウォールスパーサーを残存させることができる。

【0035】

さらに、5) トレンチを含む第2の半導体層上全面に導電膜を形成する。導電膜の材料は特に限定されるものではなく、例えば、アルミニウム、銅、金、銀、白金等の金属、タンタル、チタン、タングステン等の高融点金属、不純物を含有するポリシリコン等の単層膜又は積層膜により形成することができる。導電膜の膜厚は、トレンチを完全に埋設することができる程度であれば特に限定されるものではなく、例えば、1000～1500nm程度が挙げられる。

【0036】

次いで、6) 導電膜をエッチバック又は研磨処理する。エッチバックは、例えば、スパッタ法、RIE法等のドライエッチング、導電膜を腐食させる溶液を用いたウェットエッチング等種々の方法により行うことができる。また研磨処理は、CMP法又は研磨剤を使用したCMP法等が挙げられる。この際のエッチバック又は研磨処理は、素子分離領域に形成したトレンチ内部のみに導電膜が埋設され、素子分離領域の表面が完全に露出するように行うことが好ましい。これにより、素子分離領域に第1の半導体基板に接続されたコンタクト部を形成することができる。

【0037】

以下に、本発明の半導体装置の実施の形態を図面に基づいて説明する。なお、本発明はこの実施の形態により限定されるものではない。

【0038】

(実施の形態1)

図1は本発明の実施の形態1の半導体装置の概略斜視図(a)及びそのA-A'の概略断面図(b)である。ここで用いる多層SOI基板は、単結晶シリコン基板からなる支持基板18上に膜厚500nmのシリコン酸化膜(第1の絶縁層15)及び膜厚200nmの単結晶シリコン層(第1の半導体層19)が形成されたSIMOX基板、単結晶シリコン基板の熱酸化により形成された膜厚100nmの酸化膜(第2の絶縁層16)及び抵抗率 $20\Omega\text{cm}$ 、P導電型、結晶面方位(100)、膜厚100nmの単結晶シリコン膜(第2の半導体層1)からな

る。

【0039】

図1(a)に示されるように、多層SOI基板17において活性領域以外の単結晶シリコン層を選択的に除去し、公知の技術を用いて絶縁層を積層してトレンチ型素子分離領域2を形成する。次にフォトリソグラフィーを用いてPMOSトランジスタの活性領域を含む開口を有するレジストパターンを形成し（図示せず）、これをマスクとして第1の半導体層の表面にリンを注入エネルギー180keV、ドーズ 10^{13}cm^{-2} でイオン注入して第2導電型（N型）不純物領域（第2領域）4を形成する。

【0040】

次いで、フォトリソグラフィーを用いて、NMOSトランジスタを形成する領域に開口を有するレジストパターンを形成し（図示せず）、これをマスクとして第1の半導体層1の表面にボロンを注入エネルギー100keV、ドーズ 10^{13}cm^{-2} でイオン注入して第2導電型（P型）不純物領域（第1領域）3を形成する。

【0041】

次に、公知の方法を用いて、PMOSトランジスタ及びNMOSトランジスタの各チャンネル領域5及び6、ゲート電極7及び8、ソース／ドレイン領域9、10、11及び12を形成する。さらに第1の半導体層の第1領域3及び第2領域4に達するウェルの電位を変化させる必要がある部分にウェルコンタクトホール13を形成する。

【0042】

本発明の半導体装置におけるトランジスタ特性を図2及び図3に基づいて説明する。

本発明の半導体装置において半導体層（ウェル）に印加される電圧はウェルコンタクトホール13より印加される。図2及び図3において、 V_{sub} はウェルに印加される電圧であり、 V_{th} はそのトランジスタの閾値電圧である。

【0043】

図2は本発明の多層SOI基板を用いたNMOSトランジスタ及びPMOST

ランジスタの閾値電圧（それぞれ V_{thN} 及び V_{thP} ）の基板電圧（バックゲートバイアス）の依存性を示し、図3は本発明の多層SOI基板を用いたNMOSトランジスタ及びPMOSトランジスタのオフ電流（それぞれ I_{offN} 及び I_{offP} ）の基板電圧（バックゲートバイアス）の依存性を示す。

【0044】

このように本発明によれば、同一ウェル内にあるトランジスタの閾値電圧とオフ電流を、基板電圧を変化させることにより所望の値にすることができ、各トランジスタの動作時とスタンバイ時のオフ電流を制御することができる。したがって、スタンバイ時のオフ電流を低く設定でき、低消費電力化が可能となる。また、本発明の半導体装置の最大の特徴は、各ウェルが酸化膜等からなる絶縁膜で完全に分離されていることであり、これにより隣接するウェル間でウェルに印加する電圧を自由に変えることができる。

【0045】

（実施の形態2）

図4は本発明の実施の形態2の半導体装置の概略斜視図である。

図4に示されるように、実施の形態1と同じ多層SOI基板17において活性領域以外の単結晶シリコン層を選択的に除去し、公知の技術を用いて絶縁層を積層してトレンチ型素子分離領域2を形成する。この素子分離領域14は、第2の絶縁層に達しており、第1の半導体層には達していない。

【0046】

次いで、実施の形態1と同様にして、第1領域3及び第2領域4、PMOSトランジスタ及びNMOSトランジスタの各チャンネル領域5及び6、ゲート電極7及び8、ソース／ドレイン領域9、10、11及び12を形成する。さらに第1の半導体層の第1領域3及び第2領域4に達するウェルの電位を変化させる必要がある部分にウェルコンタクトホール13を形成する。

【0047】

【発明の効果】

本発明によれば、従来フローティングもしくは接地電位であった多層SOI型の半導体装置の第1の半導体層に所望の電圧を与えることにより、スタンバイ時

の消費電流を低減できる半導体装置が提供される。

また、第 1 の半導体層に所望の電圧を与えることにより、個々のトランジスタの閾値電圧の制御とフローティングボディ効果の抑制が十分に達成できる。

【0048】

さらに、本発明の半導体装置は、高濃度不純物領域の下部が第 1 の絶縁層及び第 2 の絶縁層で覆われ、また素子分離膜が側面を覆う場合には、高濃度不純物領域の前面が絶縁膜で覆われているので、閾値電圧の制御を自由にかつ精度よく行うことができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 の半導体装置の概略斜視図（a）及びその A-A' の概略断面図（b）である。

【図 2】

本発明の実施の形態 1 の半導体装置の NMOS トランジスタ及び PMOS トランジスタの閾値電圧の基板電圧の依存性を示す図である。

【図 3】

本発明の実施の形態 1 の半導体装置の NMOS トランジスタ及び PMOS トランジスタのオフ電流の基板電圧の依存性を示す図である。

【図 4】

本発明の実施の形態 2 の半導体装置の概略斜視図である。

【図 5】

従来の SOI トランジスタを示す概略斜視図である。

【図 6】

従来の SOI トランジスタを示す概略断面図である。

【図 7】

従来の SOI トランジスタを示す概略断面図である。

【図 8】

従来の SOI トランジスタを示す概略断面図である。

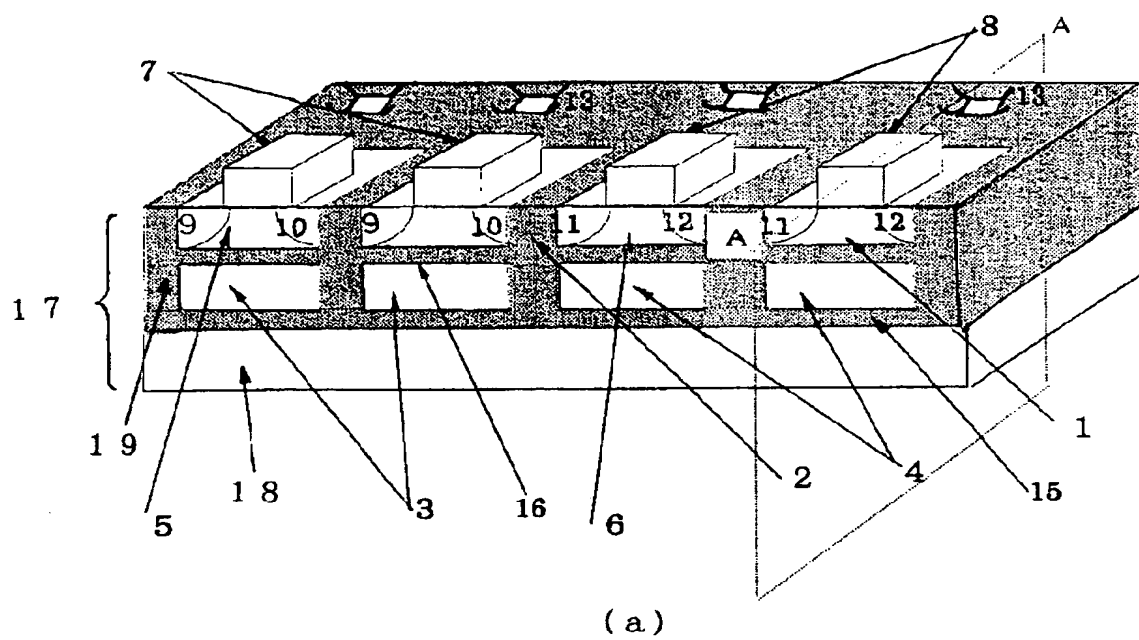
【符号の説明】

- 1 第 2 の半導体層
- 2 トレンチ型素子分離領域
- 3 第 2 導電型不純物領域 (第 1 領域)
- 4 第 2 導電型不純物領域 (第 2 領域)
- 5 PMOS チャンネル領域
- 6 NMOS チャンネル領域
- 7 PMOS ゲート電極
- 8 NMOS ゲート電極
- 9 PMOS ソース領域
- 1 0 PMOS ドレイン領域
- 1 1 NMOS ソース領域
- 1 2 NMOS ドレイン電極
- 1 3 ウェルコンタクトホール
- 1 4 第 2 の絶縁層に達しているが、第 1 の半導体層には達していない
トレンチ型素子分離領域
- 1 5 第 1 の絶縁層
- 1 6 第 2 の絶縁層
- 1 7 多層 SOI 基板
- 1 8 支持基板
- 1 9 第 1 の半導体層
- 2 0、4 0、5 0 SOI 基板
- 2 1 支持基板
- 2 2 埋め込み絶縁膜
- 2 3 表面半導体層
- 2 4 ウェル完全分離膜
- 2 5 素子分離膜
- 2 6 P ウェル
- 2 7 N ウェル
- 2 8、2 9 ソース／ドレイン領域

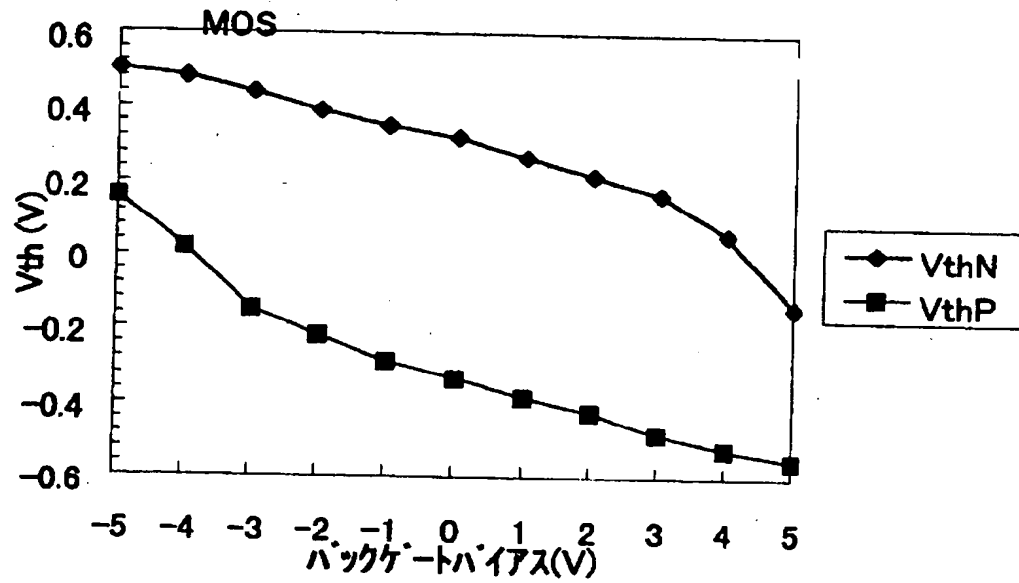
- 3 0、3 1 ゲート電極
- 3 2 NMOS FET
- 3 3 PMOS FET
- 3 4、3 5 ウェルコンタクト
- 4 1 Si 基板
- 4 2 NMOS トランジスタ
- 4 3 PMOS トランジスタ
- 4 4 P 領域
- 4 5 N 領域
- 4 6 基板分離領域
- 5 1 N 型 トランジスタ
- 5 2 P 型 トランジスタ
- 5 3 P 型 高濃度層
- 5 4 N 型 高濃度層
- 5 5 素子分離領域

【書類名】 図面

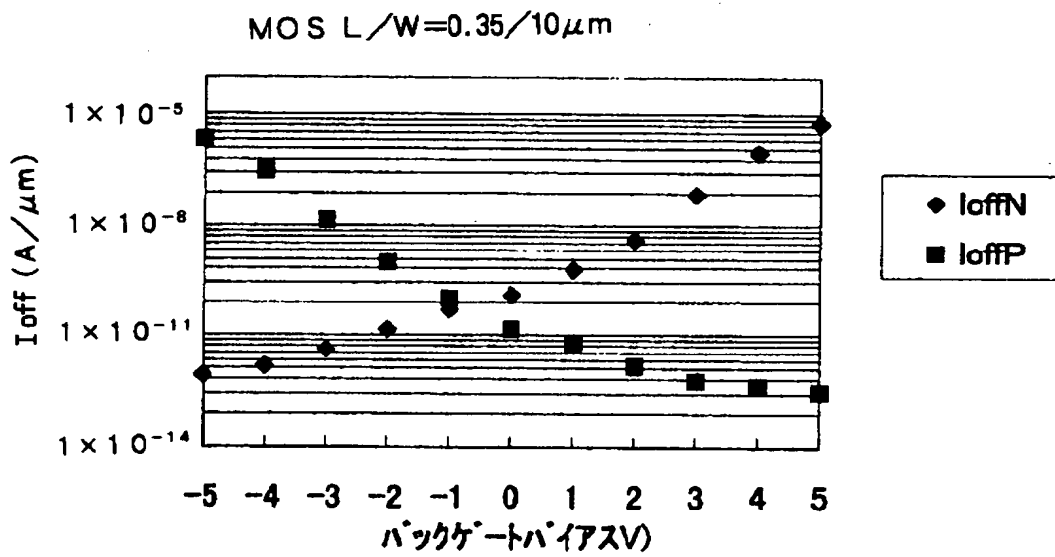
【図 1】



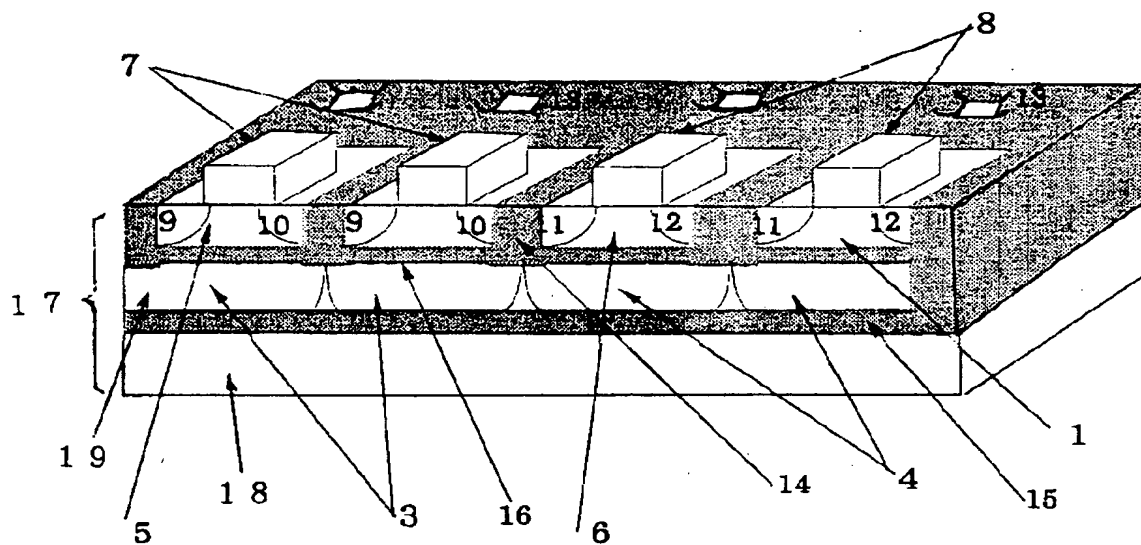
【図 2】



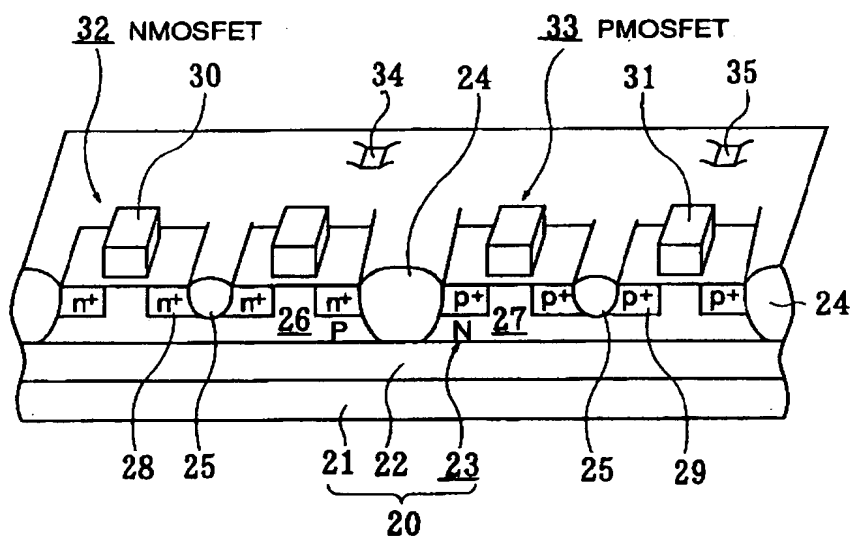
【図 3】



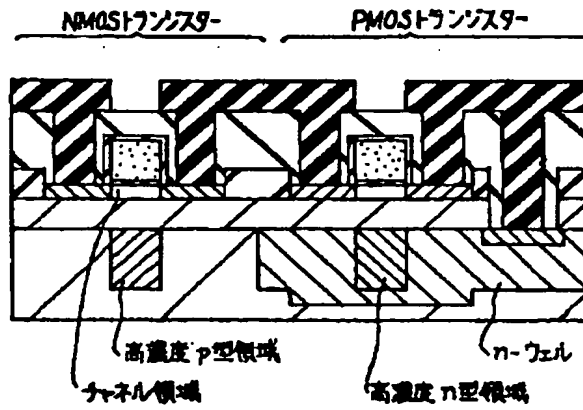
【図 4】



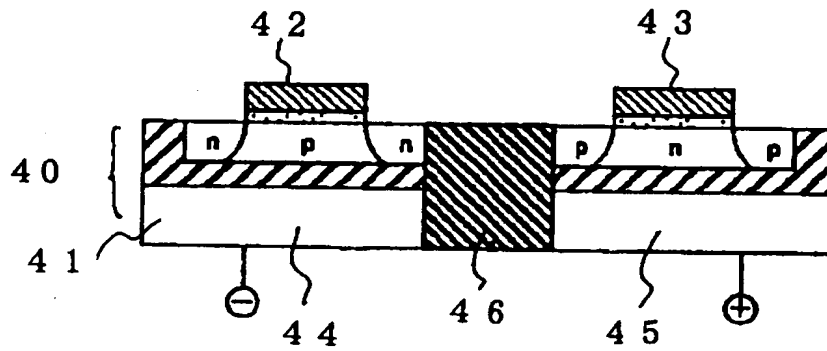
【図 5】



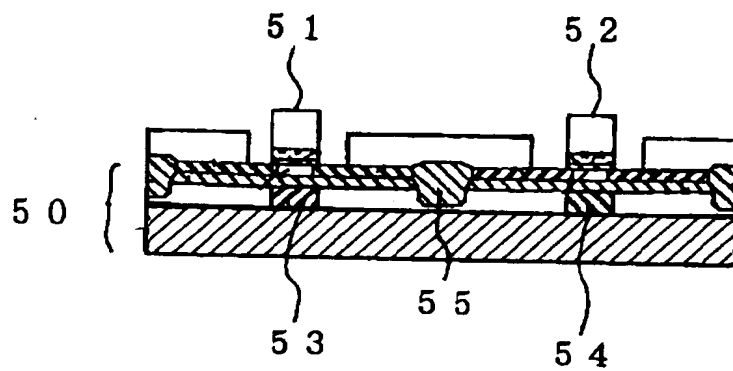
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 多層ＳＯＩ基板に形成されたＭＯＳトランジスタにおいて、閾値電圧を動作時、もしくはスタンバイ時に応じて自由に変化させ、スタンバイ時のリーク及びそれに基づくスタンバイ時の消費電流を低減することができる半導体装置を提供することを目的とする。

【解決手段】 支持基板上に第１の絶縁層及び第１の半導体層が形成され、さらに第１の半導体層上に第２の絶縁層及び第２の半導体層が形成された多層ＳＯＩ基板の第２の半導体層に第１導電型チャネルＭＯＳトランジスタが形成され、該ＭＯＳトランジスタの下方の第１の半導体層に第２導電型不純物領域が形成された半導体装置であって、該第２導電型不純物領域にバイアス電圧を印加するためのコンタクト部が形成されてなることを特徴とする半導体装置により、上記の課題を解決する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 4 9]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
氏 名	シャープ株式会社